

基于 TD-LTE 终端的连续时间 $\Sigma\Delta$ ADC 的设计*

黄沫^{1,2,3}, 陈弟虎^{1,3}, 叶晖², 徐肯², 郭建平^{1,3}

(1. 中山大学理工学院, 广东 广州 510275

2. 广州市广晟微电子有限公司, 广东 广州 510006

3. 广东顺德中山大学卡内基梅隆大学国际联合研究院, 广东 佛山 528300)

摘要: 为了降低 TD-LTE 终端功耗, 采用 0.13- μm CMOS 工艺实现了一款基于 TD-LTE 终端的连续时间 $\Sigma\Delta$ ADC。采用该 ADC 的 TD-LTE 接收机省去了传统接收机中的低通滤波器, 节省了功耗。该 ADC 采用了 3 阶、3 位量化的结构, 并用较简单的方法实现了多余环路延迟 (ELD) 的补偿。该 ADC 的硅片测试结果显示在 TD-LTE 的 20 MHz 带宽下实现了 66 dB 的动态范围, 功耗为 25.1 mA。

关键词: TD-LTE; $\Sigma\Delta$ ADC; 连续时间; 多余环路延迟 (ELD)

中图分类号: TN47 **文献标志码:** A **文章编号:** 0529-6579 (2014) 05-0008-06

Design of Continuous-time $\Sigma\Delta$ ADC Based on TD-LTE Terminals

HUANG Mo^{1,2,3}, CHEN Dihu^{1,3}, YE Hui², XU Ken², GUO Jianping^{1,3}

(1. School of Physics and Engineering, Sun Yat-sen University, Guangzhou 510275, China;

2. Rising Micro Electronics Co., Ltd, Guangzhou 510006, China;

3. SYSU-CMU Shunde International Joint Research Institute, Foshan 528300, China)

Abstract: A continuous-time $\Sigma\Delta$ ADC based on TD-LTE terminals is implemented with 0.13- μm CMOS process to address the power consumption issue of TD-LTE terminals. The low-pass filter in conventional receiver is removed to save power consumption by using the proposed ADC. The proposed ADC is with 3rd loop filter, 3 bit quantizer, and compensates excess loop delay (ELD) in a compact way. The test results show the ADC achieves 66 dB dynamic range in TD-LTE 20 MHz bandwidth, with 25.1 mA current consumption.

Key words: TD-LTE; $\Sigma\Delta$ ADC; continuous time; excess loop delay (ELD)

LTE 即长期演进 (Long Term Evolution), 是由 3GPP (The 3rd Generation Partnership Project, 第三代合作伙伴计划) 组织制定的 UMTS (Universal Mobile Telecommunications System, 通用移动通信系统) 技术标准的长期演进。由于采用了 MIMO (Multiple Inputs Multiple Outputs) 技术^[1], 并支持可变带宽 (1.4、3、5、10、15、20 MHz), LTE

提供了一条从 3G 到 LTE-A 平滑过渡的通道, 并为用户提供了更快的数据体验。根据统计, 至 2013 年底 LTE 网络已覆盖全球人口的 22%, 至 2017 年全球 LTE 连接数量有望达到 16 亿用户。而我国积极参与制定了 LTE 标准之一的 TD-LTE, 以求能够在标准上获得话语权, 实现通信技术与国际了同步, 最大限度上不需受制于人。

* 收稿日期: 2014-02-27

基金项目: 国家科技重大专项资助项目 (2009ZX03002-004); 广东省战略新兴产业关键技术产业化专项资助项目 (2011912004)

作者简介: 黄沫 (1982 年生) 男; 研究方向: 射频/模拟集成电路; 通讯作者: 郭建平; E-mail: guojp3@mail.sysu.edu.cn

然而，越来越多的报导显示，LTE 智能机终端耗电非常惊人^[2-5]。因此，未来很长一段时间内，TD-LTE 终端都将以数据卡的形式出现（数据卡以 USB 供电，对功耗不敏感）；而 TD-LTE 其功耗要达到目前 3G 手机的水平，则要到 2014 年下半年后。当然，终端功耗过大是个多方面的问题，涉及到通信系统、射频芯片的功耗、基带算法的复杂程度等方面。

本论文着力于解决 TD-LTE 终端射频芯片功耗的问题，基于 0.13- μm CMOS 工艺设计了一款低功耗 TD-LTE 射频终端芯片使用的连续时间 $\Sigma\Delta$ ADC (CTDSM)。

1 系统设计

从文献 [6 - 7] 可知，传统接收机架构中 (如图 1 (a) 所示) 的低通滤波器 (LPF) 功耗非常大。对于 TD-LTE 这种需要支持 IQ 正交混频和 MIMO，也即是需要四个传统的 LPF，功耗更大。若能省去 (如图 1 (b) 所示)，必将有效降低 TD-LTE 终端射频芯片的功耗。

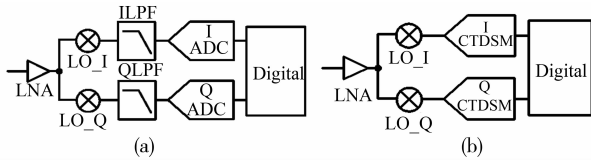


图 1 (a) 传统接收机架构 (b) 省去 LPF 的接收机结构
Fig. 1 (a) Conventional receiver architecture (b) LPF-off receiver architecture

LPF 在传统接收机架构中起两方面的作用：抗混叠滤波，以及抑制邻道干扰。若想省去 LPF，则需要在系统架构上做相应的调整。出于此考虑，本文采用连续时间 $\Sigma\Delta$ ADC。离散时间和连续时间 $\Sigma\Delta$ ADC 的结构如图 2 所示。可以看出，二者最大的区别在于离散时间 $\Sigma\Delta$ ADC (DTDSM) 是先采样，后进行环路滤波 $H(z)$ ；而对于 CTDSM，是先经过环路滤波 $H(s)$ ，后进行采样。因此，采用 CTDSM，利用其环路滤波 $H(s)$ 的抗混叠滤波器效果，可以省去 LPF。此外，从文献 [8] 的综述可以看出，CTDSM 已经普遍可以达到 10 ~ 12ENOB，10 ~ 100 Ms/s 的水平，非常适合于 TD-LTE 这种高精度、中等带宽系统的应用。

对于省去 LPF 后邻道选择性的问题，本文采用的如文献 [9] 的方法，降低 ADC 前级电路的增益以满足要求。ADC 动态范围的指标也由文献

[9] 得到：对于 20 MHz 信道带宽的情况下，所需动态范围为 64.4 dB，其它带宽可以此类推。

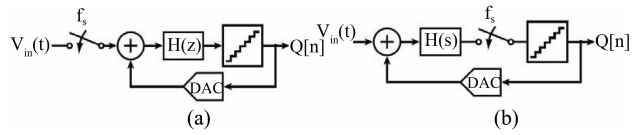


图 2 (a) DTDSM 结构示意图 (b) CTDSM 结构示意图
Fig. 2 (a) DTDSM scheme (b) CTDSM scheme

2 连续时间 $\Sigma\Delta$ ADC 的设计

2.1 过采样率 (OSR) 的选择

由 $\Sigma\Delta$ 的原理可知，对 $\Sigma\Delta$ ADC 过采样使量化噪声的功率分布在更宽的频带内，减少信道频带内的噪声；OSR 率越高，带内噪声功率越小。但更高 OSR 必将导致电路工作更快，功耗急剧增加。在本论文采用的 0.13- μm CMOS 工艺下，电路采样速度的上限为 500 MHz 左右，而最宽的信道带宽为 TD-LTE 的 20 MHz (30.72 Ms/s 的转换率)，因此最高不能超过 16 倍采样率，OSR 不能超过 8。

TD-LTE 需要支持五种带宽，如果每种带宽都用一套单独的电路来实现，芯片面积将非常大，因此在此必须考虑设计复用。如表 1 所示，CTDSM 将采用两套系数 (10 MHz 带宽以下的用 Slow Mode 系数，其他的用 Fast Mode 系数)，OSR 根据带宽不同发生改变 (最宽带宽下的 OSR 不能超过 8)。同时，为了保证输出接口速率符合系统定义的要求，ADC 后级 CIC 滤波器的抽取系数、降频系数 M 都将相应的改变。

表 1 ADC 及后级参数设置

Table 1 ADC and following stages configurations

带宽/ MHz	采样速率/ (Ms · s ⁻¹)	OSR	系数	CIC 抽取	降频	输出速率/ (Ms · s ⁻¹)
20	491.52	8	Fast Mode	8	1	30.72
15	460.8	10	Fast Mode	10	1	23.04
10	491.52	16	Fast Mode	16	1	15.36
5	245.76	16	Slow Mode	16	1	7.68
3	245.76	32	Slow Mode	16	2	3.84
1.4	245.76	64	Slow Mode	16	4	1.92

2.2 环路滤波器结构设计

本文 CTDSM 的原理图如图 3 所示。为减小时钟抖动 (clock jitter) 对 ADC 的影响，ADC 采用了 3 位量化的量化器，并采用了非归零码 (NRZ) 反

馈波形的 DAC。为了提高 ADC 的线性度，量化器量化后的数据将经由动态元素匹配 (DEM) 模块处理后输出。

单环和级联结构 (MASH) 是 $\Sigma\Delta$ ADC 中最常用的两种环路滤波器结构。较 MASH 结构，单环结构不需要数字和模拟部分的系数精确匹配来有效的抵消量化噪声，因此更适合连续时间 ADC。而当单环环路滤波器超过了三阶时，较大的输入信号将使积分器出现过载，导致整个 ADC 系统的不稳定。综合考虑，本文将采用 3 阶环路滤波器的架构。为获得更好的抗混叠能力，本文采用了 CIFB (Cascade of Integrators in FeedBack) 环路结构。为了有效抑制量化噪声，环路滤波器采用切比雪夫 (Chebyshev) II 型滤波器，反馈电阻 R_g 为噪声传递函数 (NTF) 提供一个复数极点对，以保证在需要的带宽内信噪比 (SNR) 最大化。

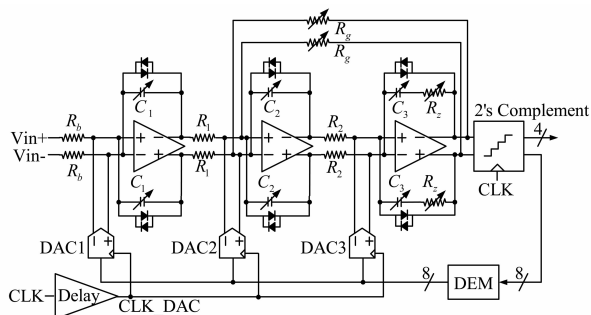


图 3 CTDSM 的原理图

Fig. 3 Schematic of the proposed CTDSM

本文选用 matlab 中的 cheby2 函数来进行环路滤波器传输函数的设计，其代码如下：

```
[a, b] = cheby2 (Order, AstopNTF, endBB * 2 * pi, 'high', 's'); NTF = tf (a, b);
```

以 Fast Mode 为例，Order = 3 (3 阶环路滤波器)，AstopNTF = 45 (阻带衰减 45 dB)，endBB = $10e6 * 1.05$ (截止频率 10 MHz, 5% 的带宽余量)，‘high’ 的含义是高通滤波器，‘s’ 代表是模拟滤波器的设计。Slow Mode 的传输函数也可以相应得到。图 4 (a) 画出了 Matlab 仿真下 Fast Mode 和 Slow Mode 的信号传输函数 STF 和 NTF。

2.3 ELD 补偿

ELD 即多余环路延迟 (excess loop delay)，定义为理想和真实反馈 DAC 脉冲之间的固定延时。如文献 [10] 所述，ELD 使 DAC 的反馈脉冲延迟至下一采样周期，恶化了 ADC 的稳定性和 SNR，因此需要对其进行补偿。学术界对 ELD 的补偿方

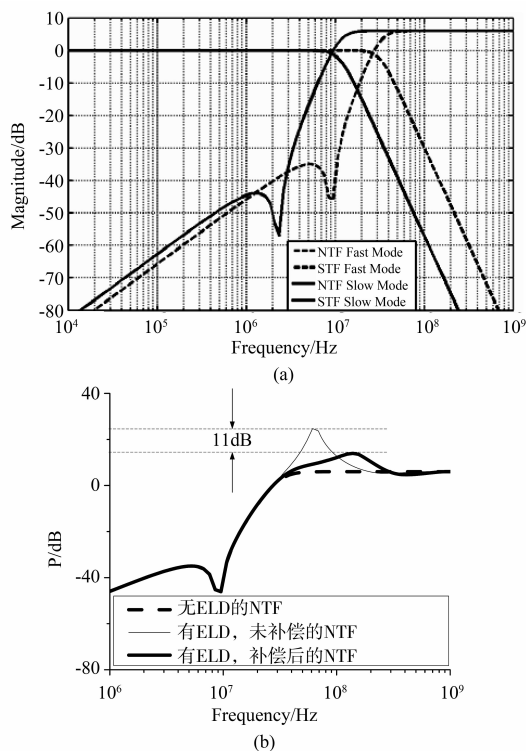


图 4 (a) Fast Mode 和 Slow Mode 的 NTF 和 STF (b) ELD 补偿对 STF 带外尖峰的衰减

Fig. 4 (a) NTF and STF of Fast/Slow Mode (b) STF out-of-b and peaking reduction due to ELD compensation

法已有较多的论述^[10-14]。本文采用文献 [9] 的方法，在环路传输函数分子加入一个零点外，起到直接反馈的作用，以抵消 ELD 的影响。上述的 ELD 补偿方法实现起来非常简单，只需要在第三级积分器上加入一个消零电阻 R_z (如图 3 所示)。

经过 ELD 补偿的传输函数由 Matlab 计算，其代码如下：

```
fz = 1 / (ELD * (360/45));
wz = fz * 2 * pi;
compen = tf ([1 wz], [wz]);
L1p = OL * compen;
```

其中 OL 为上文所述未经补偿的开环传输函数，L1p 为经过开环补偿的传输函数。用 Matlab 仿真得到 STF 带外尖峰如图 4 (b) 所示。可以看出，ELD 补偿有效的降低 NTF 带外尖峰 11 dB，提高了系统的稳定性。

2.4 环路参数设计

图 5 显示了 CTDSM 等效的模型，其中数组 $a < 3:1 >$ 等于 DAC 的电流，参数 b 为前馈电阻 R_b 的倒数，数组 $c < 2:1 >$ 为积分器电阻 $< R_2: R_1 >$ 的倒数，数组 $w < 3:1 >$ 为积分器电容 $< C_3: C_1 >$ 的

倒数, wz 为补偿 ELD 所引入的零点位置, $vIntegOut(3:1)$ 为各级积分器输出电压。

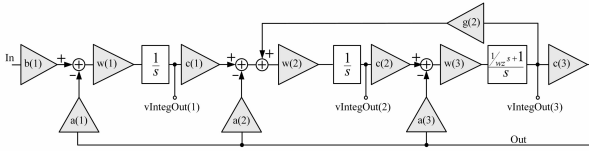


图 5 CTDSM 的等效模型

Fig. 5 Equivalent model of CTDSM

根据经过 ELD 补偿后的 NTF 和 STF, 先假定 c 和 w 全为 1, 可以得出图 5 中的各参数如表 2 所示。当然上述假定其中存在着各种不合理性 (如 ADC 各级积分器输出摆幅过小、或超过限定范围, DAC 的实际反馈电流达不到计算值, 硅片上的电容达不到计算值, 等)。采用 Matlab 的仿真工具 Simulink, 在输入加入满量程 (0 dBFS) 的正弦波信号, 得到各级积分器输出的仿真结果如图 6 (a) 所示。第一、二级积分器输出都异常大, 显然都不是最优值, 需要调整。调整的目标是每个 DAC 的反馈电流为 $320 \mu A$ (考虑到功耗), 积分器中电阻值在 $10 k\Omega$ 的数量级内 (考虑到硅片实现的可靠性), 并考虑到 ADC 采用 $0.13 - \mu m$ 工艺 (电源电压 $1.3 V$), 各级输出的最大摆幅都控制在 $1 V$ 以下 (即差分 $2 V$) 更有利于实现。

表 2 环路参数的实现 (未经优化)

Table 2 Loop coefficients (without optimization)

	<1 >	<2 >	<3 >
a	$1.28e + 25$	$1.05e + 17$	$4.58e + 08$
b	$6.38e + 24$	/	/
c	1	1	1
g	/	$-3.26e + 15$	/
w	1	1	1
wz	$7.85e + 08$	/	/

表 3 环路参数优化关系

Table 3 Optimized loop coefficients

	<1 >	<2 >	<3 >
a	$\gamma(1)\epsilon(1)$	$\gamma(2)\epsilon(2)$	$\gamma(3)\epsilon(3)$
b	$\gamma(1)\epsilon(1)$	/	/
c	$\gamma(2)/\gamma(1) * \epsilon(2)$	$\gamma(3)/\gamma(2) * \epsilon(3)$	$1/\gamma(3)$
g	/	$\gamma(2)/\gamma(3) * \epsilon(2)$	/
w	$1/\epsilon(1)$	$1/\epsilon(2)$	$1/\epsilon(3)$
wz	1	/	/

定义数组 γ 和 ϵ , 其中 γ 为积分器输出幅度缩减比例, ϵ 为 DAC 电流的缩减比例, 则环路参数按照表 3 的倍数关系优化, 不但传输函数保持一致, 而且各参数都达到期望优化值。

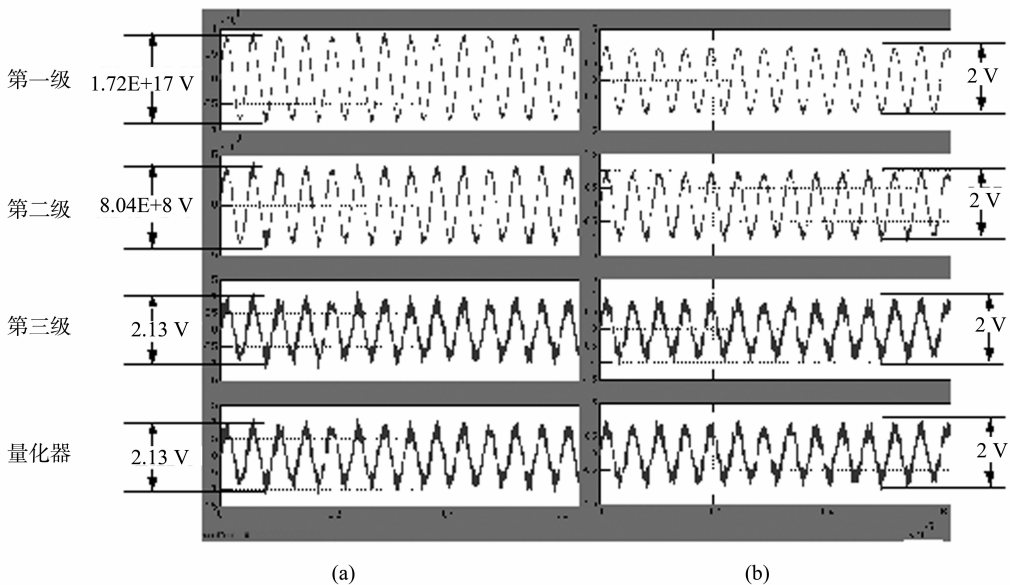


图 6 (a) 优化参数前各级积分器输出波形; (b) 优化参数后各级积分器输出波形

Fig. 6 (a) Integrators'output before coefficients optimization; (b) Integrators'output after coefficients optimization

优化后的参数如表 4 所示。将其代入 Simulink 模型, 仿真出来的各级积分器输出幅度均为 2 V (如图 6 (b) 所示), 且 DAC 电流、电容电阻值均合理, 证明达到了预期效果。

表 4 环路参数的实现 (经优化)

Table 4 Loop coefficients implementation (optimized)

	<1>	<2>	<3>
a	3.20×10^{-4}	3.20×10^{-4}	3.20×10^{-4}
b	1.62×10^{-4}	/	/
c	2.46×10^{-4}	2.81×10^{-4}	1
g	/	-9.96×10^{-6}	/
w	4.63×10^{11}	8.70×10^{11}	1.34×10^{12}
wz	7.85×10^8	/	/

2.5 电路设计

CTDSM 中的运算放大器需要有足够的直流增益 (通常是 60 dB), 以及 400 MHz 的增益带宽积 (GBW) 以减小相移。为降低功耗, 本文采用带前馈 G_m -C 补偿的 4 级运算放大器 (如图 7 (a) 所示) 代替传统 Miller 补偿的二级运算放大器。该结构放大器能够取得更大的信号带内增益和更好的带内线线性度: 图 7 (b) 显示了对其仿真的波特图, 静态电流为 1.3 mA, 实现了 70.8 dB 的低频增益, 483.1 MHz 的增益带宽积和 88.8° 相位裕度。

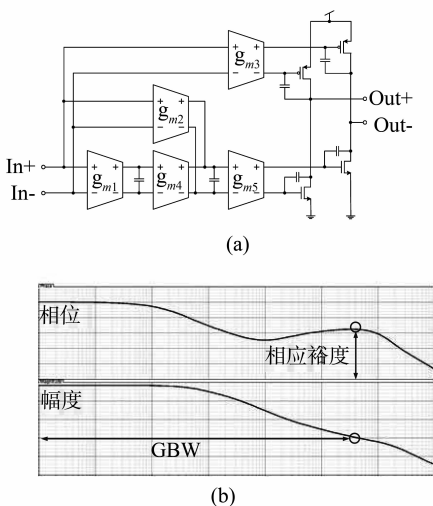


图 7 (a) CTDSM 运算放大器架构;

(b) 运算放大器仿真波特图

Fig. 7 (a) CTDSM operational amplifier architecture;

(b) Bode plot of the operational amplifier

CTDSM 中反馈 DAC 的原理图如图 8 所示。输入信号被同步至时钟 clk_dac , 该时钟相对于量化器的时钟存在延时, 其主要的四个作用: ① 重新同步 DAC 的控制码; ② 消除量化器中比较器电路的亚稳态输出; ③ 使得 DEM 模块有足够时间完成量化器控制码的处理; ④ 使得环路的 ELD 是一个确定的量, 其值等于两个时钟之间的延时, 而 ELD 补偿的电路参数可根据此延时来确定。

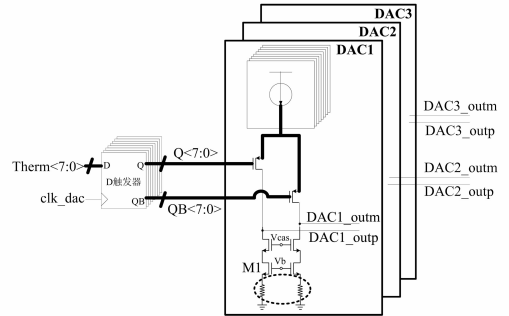


图 8 反馈 DAC 原理图

Fig. 8 Schematic of feedback DAC

由于 DAC 噪声主要受尾电流 MOS 管闪烁噪声的影响, 本文采用 poly 电阻形式的尾电流 (图 8 中虚线圈), 使得 DAC 更加简洁, 面积更小。此外, poly 电阻在生产中具有较好的一致性, 较 MOS 管更容易获得好的匹配性能, 因而能获得更好的 DAC 电流之间的匹配。

3 测试结果

本文 TD-LTE 终端射频芯片采用 $0.13 - \mu\text{m}$ CMOS 工艺进行流片, 其裸片如图 9 所示。其中 CTDSM 所在区域如图标示, 每组 CTDSM (包括 I 和 Q 路所用的两个 ADC) 占用面积 $0.5 \text{ mm} \times 0.8 \text{ mm}$ 。对 CTDSM 进行单独测试, 每组 ADC 消耗电流为 25.1 mA。

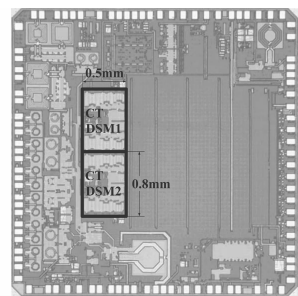


图 9 TD-LTE 终端射频芯片裸片照片

Fig. 9 Micrograph of the TD-LTE terminal RFIC

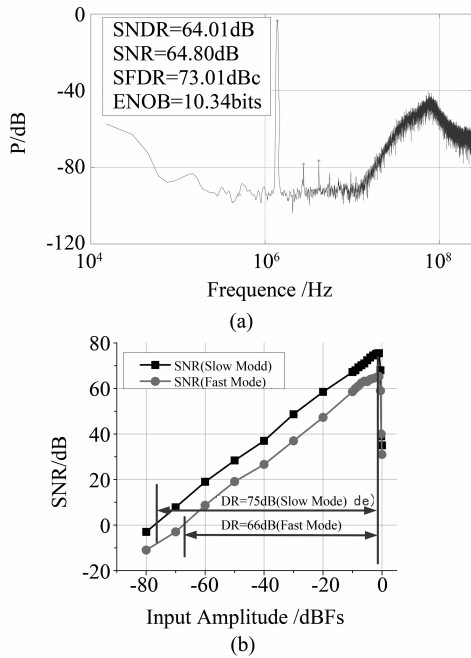


图 10 (a) 20 MHz 带宽, Fast Mode 下, 1.38 MHz, -2 dBFS 输入信号时 CTDSM 输出的 FFT 分析;
(b) Fast Mode 和 Slow Mode 下 SNR 随输入幅度的变化情况

Fig. 10 (a) CTDSM output FFT analysis with 20 MHz-channel bandwidth, Fast Mode, 1.38 MHz, -2 dBFS input; (b) SNR vs. input amplitude with Fast/Slow Modes

在 20 MHz 带宽, Fast Mode 参数下, 在 CTDSM 输入加入一个 1.38 MHz, -2 dBFS 的单音信号。用矢量分析仪采集其输出数据, 并用 Hann 窗进行 FFT, 其结果如图 10 (a) 所示。图 10 (b) 显示了 Fast Mode 和 Slow Mode 情况下 SNR 随输入幅度变化的情况。可以看出, Fast Mode 和 Slow Mode 分别实现了 66 dB 和 75 dB 的动态范围, 符合了 TD-LTE 系统的要求。

4 小 结

本文从 TD-LTE 系统角度, 阐述了采用连续时间 $\Sigma\Delta$ ADC 以节省 TD-LTE 终端功耗的原理, 并进一步讲述了 ADC 系统构架选择、ELD 补偿策略、系数优化的方法, 及关键电路的实现。该 ADC 经过 0.13- μm CMOS 工艺流片, 硅片测试结果显示在其性能满足 TD-LTE 的系统要求。

参考文献:

[1] 周冬跃, 胡斌杰. 一种空间复用 MIMO-OFDM 联合量化反馈预编码[J]. 中山大学学报: 自然科学版, 2013, 52(5): 39-44.

[2] JOWITT T. LTE power consumption triggers battery worry [DB/OL]. [2012-02-20]. <http://www.techweek-europe.co.uk/news/lte-power-consumption-triggers-battery-worry-61769>.

[3] Fitchard K. Why LTE sucks (your battery, that is) [DB/OL]. [2012-02-17]. <http://gigaom.com/why-lte-sucks-your-battery-that-is/>.

[4] GUPTA M, KOC A T, VANNITHAMBY R. Analyzing mobile applications and power consumption on smartphone over LTE network [C] // International Conference on Energy Aware Computing 2011; 1-4.

[5] MUSIIGE D, VINCENT L, ANTON F, et al. LTE RF subsystem power consumption modeling [C] // Global Conference on Consumer Electronics, 2012; 645-649.

[6] KOUSAI S, HAMADA M, ITO R, et al. A 19.7 MHz, fifth-order active-RC Chebyshev LPF for draft IEEE802.11n with automatic quality-factor tuning scheme [J]. IEEE J. Solid-State Circuits 2007, 42(11): 2326-2337.

[7] JO J-G, YOO C, JEONG C, et al. A 1.2 V, 10 MHz, low-pass Gm-C filter with Gm-cells based on triode-biased MOS and passive resistor in 0.13 μm CMOS technology [C] // IEEE Custom Integrated Circuits Conference (CICC) 2005; 195-198.

[8] PARK M J, A 4th Order Continuous-Time $\Delta\Sigma$ ADC with VCO-Based Integrator and Quantizer [C] // PHD thesis at the Massachusetts Institute of Technology, 2009.

[9] HUANG M, CHEN D H, WANG Z, et al. A power-area-efficient, 3-band, 2-RX MIMO, TD-LTE receiver with direct-coupled ADC [C] // International Journal of Circuit Theory and Applications, first published online: 7 FEB 2014 | DOI: 10.1002/cta.1978.

[10] PAVAN S, Excess loop delay compensation in continuous-time delta-sigma modulators [J]. IEEE Trans on Circuits and Systems II; Express Briefs 2008, 55(11): 1119-1123.

[11] KELLER M, BUHMANN A, SAUERBREY J, et al. A comparative study on excess-loop-delay compensation techniques for continuous-time sigma-delta modulators [J]. IEEE Trans. on Circuits and Systems I; Regular Papers 2008, 55(11): 3480-3487.

[12] ALAMDARI H H, EI-SANKARY K, EI-MASRY E. Excess loop delay compensation for continuous-time $\Delta\Sigma$ modulators using interpolation [J]. Electronics Letters 2009; 45(12): 609-610.

[13] DAGHER E H, STUBBERUD P A, MASENTE W K, et al. A 2-GHz analog-to-digital delta-sigma modulator for CDMA receivers with 79-dB signal-to-noise ratio in 1.23-MHz bandwidth [J] IEEE J. Solid-State Circuits 2004; 39(11): 1819-1828.

[14] MITTEREGGER G, EBNER C, MECHING S, et al. A 20-mW 640-MHz CMOS continuous-time ADC with 20-MHz signal bandwidth, 80-dB dynamic range and 12-bit ENOB [J] IEEE J. Solid-State Circuits, 2006, 41(12): 2641-2649.